

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012890

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/265

H05H 1/46

(21)Application number : 08-181566

(71)Applicant : SONY CORP

(22)Date of filing : 20.06.1996

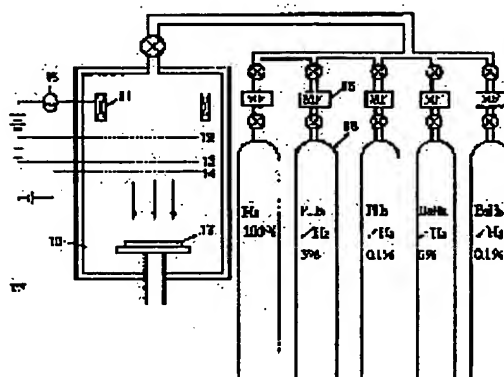
(72)Inventor : KUNII MASABUMI

## (54) MANUFACTURE OF THIN-FILM SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce variation in impurity concentration by improving controllability of ion doping with a relatively low dose.

SOLUTION: A gate electrode and a semiconductor thin film are deposited, with a gate insulating film therebetween, on an insulated substrate 17. Then impurities are doped into the semiconductor thin film so as to form a thin film transistor. At this doping process, a material gas, where a mixture rate of a dopant gas including impurities with respect to a dilution gas is less than 0.1%, is ionized, field-accelerated without mass separation, and emitted on the semiconductor thin film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12890

(43) 公開日 平成10年(1998) 1月16日

(51) IntCl<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 A

21/336

H 0 5 H 1/46

B

21/265

H 0 1 L 21/265

F

H 0 5 H 1/46

29/78

6 1 6 L

審査請求 未請求 請求項の数 7 F D (全 9 頁)

(21) 出願番号

特願平8-181566

(22) 出願日

平成 8 年 (1996) 6 月 20 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 国井 正文

東京都品川区北品川 6 丁目 7 番 35 号 ソニ

ー株式会社内

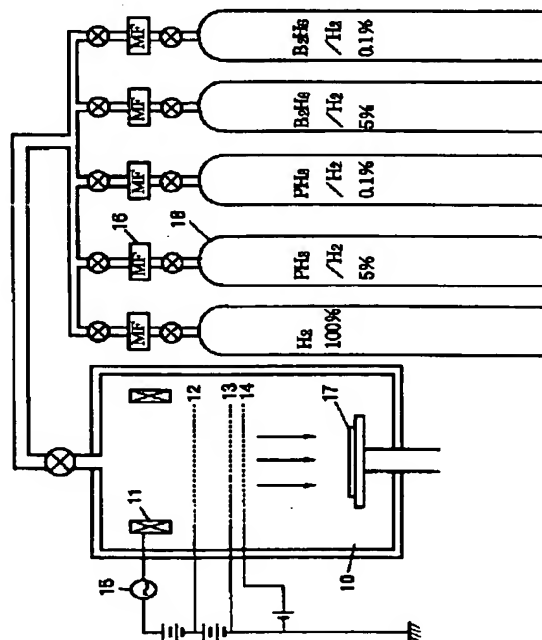
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【課題】 比較的低ドーズ量におけるイオンドーピングの制御性を改善して不純物濃度のばらつきを低減化する。

【解決手段】 薄膜半導体装置を製造する為、ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を絶縁基板 17 上に形成する工程と、この半導体薄膜に不純物を注入して薄膜トランジスタを形成する注入工程とを行なう。この注入工程では、不純物を含むドーパントガスの希釈ガスに対する混合比が 0.1% 未満に調製された原料ガスをイオン化し、そのまま質量分離をかけずに電界加速して半導体薄膜に照射する。



## 【特許請求の範囲】

【請求項1】 ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を絶縁基板上に形成する工程と、該半導体薄膜に不純物を注入して薄膜トランジスタを形成する注入工程とを含む薄膜半導体装置の製造方法において、

前記注入工程は、該不純物を含むドーパントガスの希釈ガスに対する混合比が0.1%未満に調製された原料ガスをイオン化し、そのまま質量分離をかけずに電界加速して該半導体薄膜に照射するイオン注入工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項2】 前記イオン注入工程は、多結晶シリコンからなる半導体薄膜に $1 \times 10^{13}/\text{cm}^2$ 以下のドーズ量で不純物を領域選択的に注入し、薄膜トランジスタのチャネル領域と高不純物濃度のソース/ドレイン領域との間に低不純物濃度の領域を形成する事を特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 前記イオン注入工程は、多結晶シリコンからなる半導体薄膜に対して少なくともゲート電極と重なる部分に $1 \times 10^{13}/\text{cm}^2$ 以下のドーズ量で不純物を注入し、予め薄膜トランジスタの閥電圧を調整する事を特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項4】 前記イオン注入工程は、絶縁基板を回転させながら該原料ガスを照射する事を特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項5】 ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を絶縁基板上に形成する工程と、該半導体薄膜に不純物を注入して薄膜トランジスタを形成する注入工程とを含む薄膜半導体装置の製造方法において、

前記注入工程は、該不純物を含む原料ガスに対して83 mW/cm<sup>2</sup>未満に設定された高周波電力を印加してイオン化し、そのまま質量分離をかけずに電界加速して該半導体薄膜に照射するイオン注入工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項6】 ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を絶縁基板上に形成する工程と、該半導体薄膜に不純物を注入して薄膜トランジスタを形成する注入工程とを含む薄膜半導体装置の製造方法において、

前記注入工程は、該不純物を含む原料ガスをイオン化して、そのまま質量分離をかけずに電界加速し $1 \mu\text{A}/\text{cm}^2$ 以下の電流密度で該半導体薄膜に照射するイオン注入工程を含む事を特徴とする薄膜半導体装置の製造方法。

【請求項7】 ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を一方の絶縁基板上に形成する工程と、該半導体薄膜に不純物を領域選択的に注入して薄膜トランジスタを集積形成する注入工程と、該薄膜トランジスタに接続して画素電極を集積形成する工程と、予め対向電極が形成された他方の絶縁基板を該一方の絶縁基

板に接合し両者の間に電気光学物質を保持する工程とを含む表示装置の製造方法において、

前記注入工程は、該不純物を含むドーパントガスの希釈ガスに対する混合比が0.1%未満に調製された原料ガスをイオン化し、そのまま質量分離をかけずに電界加速して該半導体薄膜に照射する事を特徴とする表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置等の駆動基板に用いられる薄膜半導体装置の製造方法に関する。より詳しくは、薄膜半導体装置に集積形成される薄膜トランジスタの不純物注入技術に関する。

## 【0002】

【従来の技術】薄膜半導体装置を製造する為には、ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を絶縁基板上に形成する工程と、この半導体薄膜に不純物を注入して薄膜トランジスタを形成する注入工程とを行なう。近年、イオンドーピング装置を利用した不純物の注入技術が注目を集めている。このイオンドーピング装置では、不純物を含む原料ガスをイオン化した後、そのまま質量分離をかけずに大面積の絶縁基板に照射している。イオンドーピング装置は短時間で大面積の絶縁基板（例えば、30cm×35cm角以上）に対して、高ドーズ量で不純物を打ち込む事ができる。この為、高スループットが実現でき、次世代の大面積液晶ディスプレイに用いる駆動基板（TFT基板）の製造装置として有望視されている。イオンドーピング装置は例えばJapan Display 92 Dig. pp. 206-207に開示されている。又、このイオンドーピング装置を用いた薄膜トランジスタの製造技術が、例えばJapanese Journal of Applied Physics, vol. 33, pp. 635-638, 1994に開示されている。

## 【0003】

【発明が解決しようとする課題】イオンドーピング装置では、水素等で希釈した $\text{B}_2\text{H}_6$ 、 $\text{PH}_3$ 等のドーパントガスを高周波プラズマでイオン化させ、電界加速して絶縁基板上に成膜された半導体薄膜に打ち込む。従来、一般的な希釈率としては、希釈ガスに対するドーパントガスの混合比で0.1%～10%程度の値が採用されていた。この濃度範囲の原料ガスをを用いると、 $1 \times 10^{16}/\text{cm}^2$ 程度の高ドーズ量で不純物を半導体薄膜に1分間程度の短時間で打ち込む事が可能である。これにより、高スループットで高不純物濃度のソース/ドレイン領域を薄膜トランジスタに形成する事が可能である。しかし反面、 $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{14}/\text{cm}^2$ 程度の低ドーズ量を精度良く制御し且つばらつきを小さく抑える事が困難であった。このような低ドーズ量の不純物注入は、

例えば多結晶シリコン薄膜トランジスタの製造に必須とされるLDD(Lightly Doped Drains)領域の形成や、薄膜トランジスタの閾電圧( $V_{th}$ )の制御に用いられる。従来のイオンドーピング装置では、比較的低ドーズ量のライトドーピングを精度良く且つばらつきを抑えて実施する事が困難であった。この為、多結晶シリコン薄膜トランジスタのLDD構造や薄膜トランジスタの $V_{th}$ 制御を行なう上で障害となっていた。

#### 【0004】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は低ドーズ量のドーピングを精度良く制御し且つばらつきを小さく抑える事ができる薄膜半導体装置の製造方法を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明によれば薄膜半導体装置は基本的に、ゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層を絶縁基板上に形成する工程と、該半導体薄膜に不純物を注入して薄膜トランジスタを形成する注入工程とにより製造される。特徴事項として、前記注入工程は、該不純物を含むドーパントガスの希釈ガスに対する混合比が0.1%未満に調製された原料ガスをイオン化し、そのまま質量分離をかけずに電界加速して該半導体薄膜に照射するイオン注入工程を採用している。

【0005】前記イオン注入工程では、例えば多結晶シリコンからなる半導体薄膜に $1 \times 10^{13}/\text{cm}^2$ 以下のドーズ量で不純物を領域選択的に注入し、薄膜トランジスタのチャネル領域と高不純物濃度のソース/ドレイン領域との間に低不純物濃度のLDD領域を形成する。あるいは、前記イオン注入工程では、多結晶シリコンからなる半導体薄膜に対して少なくともゲート電極と重なる部分に $1 \times 10^{13}/\text{cm}^2$ 以下のドーズ量で不純物を注入し、予め薄膜トランジスタの閾電圧を調整する。なお、前記イオン注入工程の条件は、 $83 \text{ mW}/\text{cm}^2$ 未満に設定された高周波電力を印加して原料ガスをイオン化する事が好ましい。又、 $1 \mu\text{A}/\text{cm}^2$ 以下の電流密度で該イオン化した原料ガスを照射する事が好ましい。なお、前記イオン注入工程は絶縁基板を回転させながら該原料ガスを照射する事が好ましい。本発明は、特にアクティブマトリクス型表示装置の駆動基板に用いられる薄膜半導体装置の製造方法に好適である。

【0006】本発明によれば、希釈ガスに対するドーパントガスの混合比を0.1%未満に調製してイオン注入工程を行なっている。従来の希釈率に比べ低く設定している。その分、不純物を比較的穏やかなレートで注入する事が可能となり、低ドーズ量を精度良く制御できると共に絶縁基板の面内における不純物濃度のばらつきを低く抑える事が可能になる。希釈率を低く抑える事で原料ガスのイオン化状態が安定し経時的な変化の影響を受けにくくなる。又、時間をかけて不純物を注入する事によ

り、絶縁基板の全面に対して均一化された条件で不純物を打ち込む事が可能になる。又、高周波電力を下げたりイオン電流密度を下げることはドーパントガスを希釈することと同様の効果がある。

#### 【0007】

【発明の実施の形態】以下図面を参照して本発明の最適な実施形態を詳細に説明する。図1は、本発明にかかる薄膜半導体装置の製造方法に用いられるイオンドーピング装置の構成を示す。真空チャンバ10にはプラズマ発生用のコイル電極11、イオン引き出し電極12、加速電極13、減速電極14が装備されている。コイル電極11には高周波電源15が接続しており、高周波電力を供給してRFプラズマを発生させる。ガス系統については、配管を通して複数のガスシリンダ18が真空チャンバ10に接続されている。これらのガスシリンダ18はエアバルブ、電磁バルブ又は機械式バルブを用いて切り換えができる様になっている。ガス流量はマスフローコントローラ(MF)16により制御され、ガス系統は操作パネル(図示せず)上の設定により自動切り換えができる。処理対象となる絶縁基板17はステージ上に搭載される。このステージは回転可能であり、例えば1分間に20回転する。なお、絶縁基板17には予めゲート絶縁膜を間にしてゲート電極及び半導体薄膜の積層が形成されている。真空チャンバ10に導入された原料ガスはRFプラズマにより電離イオンに励起され、イオン引出電極12及び加速電極13を介して矢印で示す様にイオンシャワーとなって絶縁基板17の表面に打ち込まれる。本例では、複数のガスシリンダ18に複数種のガスが貯蔵されている。1番目のガスシリンダには $\text{H}_2$  100%の希釈ガスが収容されている。2番目のガスシリンダには不純物Pを含んだ $\text{PH}_3$ を予め $\text{H}_2$ で5%に希釈したドーパントガスが貯蔵されている。このドーパントガスは例えばNチャネル型薄膜トランジスタのソース/ドレイン領域形成に用いられる。3番目のガスシリンダには $\text{PH}_3$ を予め $\text{H}_2$ で0.1%に希釈したドーパントガスが貯蔵されている。このドーパントガスは例えばNチャネル型薄膜トランジスタのLDD領域形成に用いられる。4番目のガスシリンダには不純物Bを含む $\text{B}_2\text{H}_6$ を予め $\text{H}_2$ で5%に希釈したドーパントガスが収容されている。このドーパントガスは例えばPチャネル型薄膜トランジスタのソース/ドレイン領域形成に用いられる。最後の5番目のガスシリンダには $\text{B}_2\text{H}_6$ を予め $\text{H}_2$ で0.1%に希釈したドーパントガスが貯蔵されている。このドーパントガスは例えば薄膜トランジスタの閾電圧調整に用いられる。この様に、本例では5系統のガスを用いているが、これに限られるものではない。必要に応じてガス種やガス濃度を変えたガス系統を増設しても良い。このイオンドーピング装置では加速電圧を100KVまで設定可能であり、 $30 \text{ cm} \times 40 \text{ cm}$ 角の大型基板にも対応できる様になっている。

【0008】かかる構成を有するイオンドーピング装置を用いて注入工程を行なう。即ち、絶縁基板17の表面に予め成膜された半導体薄膜に不純物を注入して薄膜トランジスタを形成する。本発明の特徴事項として、この注入工程では不純物を含むドーパントガスの希釈ガスに対する混合比が0.1%未満に調製された原料ガスをイオン化し、そのまま質量分離をかけずに電界加速して半導体薄膜に照射する。これにより、比較的低ドーズ量で不純物を精度良く注入可能であり且つ基板面内に渡って不純物濃度のばらつきを低く抑える事が可能になる。以下、希釈率を0.1%未満に設定した理由を、実験結果に基づいて詳細に説明する。この実験では、図1に示したイオンドーピング装置を用いてステージの上にシリコンウェハを搭載し、希釈率を変えた原料ガスをドーピングし、シリコンウェハの抵抗値を測定した。具体的には、p型で高抵抗のシリコンウェハ中に不純物をイオンドーピングし、窒素雰囲気中960℃で30分間アニールして不純物を活性化した後、シート抵抗値のウェハ面内ばらつき及びウェハ間ばらつきを測定した。この時利用した原料ガスは0.1%の $\text{PH}_3$ を含むドーパントガスと100%の $\text{H}_2$ からなる希釈ガスとの混合物とした。このドーパントガスと希釈ガスの混合比を変えて $\text{PH}_3$ の濃度を調節した。なお、シリコンウェハの初期抵抗は $1\text{M}\Omega\cdot\text{cm}$ 以上である。

【0009】先ず、第1の条件として、希釈率が0.1%の $\text{PH}_3$ を含むドーパントガスのみでイオンドーピングを行ない、シリコンウェハに不純物を打ち込んだ。イオンドーピングでは質量分離を行わないのでイオンシャワー中には $\text{H}^+$ 、 $\text{P}^+$ 、 $\text{PH}_2^+$ 等種々の電離イオンが含まれている。これら全ての電離イオンを含んだ全ドーズ量は $1\times 10^{14}/\text{cm}^2$ に設定した。なお、全ドーズ量は例えば真空チャンバ内に設けたファラデカップでイオン電流を測定する事によりモニタした。この条件で連続4枚のシリコンウェハにイオンドーピングを行なった。この時の加速電圧は10KVに設定され、高周波電力は13.56KHzで50Wに設定され、ガス流量は45sccmに設定された。以上のドーピング条件で全ドーズ量が $1\times 10^{14}/\text{cm}^2$ となる迄に1枚当たり15秒を要した。一般に、 $\text{H}_2$ で0.1%に希釈された $\text{PH}_3$ をドーピングガスとして用いた場合、全ドーズ量 $1\times 10^{14}/\text{cm}^2$ のうち、目的の不純物となるP+イオンの実効的な割合は1%程度であり、残りの殆どは水素イオンのドーズである。従って、全ドーズ量が $1\times 10^{14}/\text{cm}^2$ の場合、P+のドーズ量は $1\times 10^{12}/\text{cm}^2$ 程度である。即ち、本実験では比較的低ドーズ量の領域でイオンドーピングを行なっている。実際、 $\text{H}_2$ で0.1%に希釈した $\text{PH}_3$ のドーパントガスを用いてシリコンウェハにイオンドーピングし、SIM分析にてP+イオンの面密度を調べたところ、全ドーズ量に対して1%程度の割合でP+イオンが打ち込まれている事が確認された。

【0010】次いで、第2の条件として $\text{H}_2$ で予め0.1%に希釈した $\text{PH}_3$ のドーパントガスと100% $\text{H}_2$ の希釈ガスを1:1の比率で混合し、全ドーズ量が $2\times 10^{14}/\text{cm}^2$ となる様にシリコンウェハにイオンドーピングを行なった。第2の条件では $\text{PH}_3$ ガスの希釈率を第1の条件と比較して2倍に調製している。従って、実効的なP+イオンのドーズ量は第1の条件に略等しく $1\times 10^{12}/\text{cm}^2$ 程度である。この際のドーピング時間は1枚当たり25秒であった。この第2の条件も第1の条件と同様な設定下でイオンドーピングが行なわれた。即ち、高周波電力は13.56KHz、50Wで、加速電圧は10KVである。全イオンによる電流密度は $2.8\mu\text{A}/\text{cm}^2\sim 7.6\mu\text{A}/\text{cm}^2$ である。なお、真空チャンバの有効径は48cmであり、高周波電力は対面積当たり $27.6\text{mW}/\text{cm}^2$ となる。

【0011】第3の条件として、 $\text{H}_2$ で0.1%に希釈された $\text{PH}_3$ のドーパントガスと100% $\text{H}_2$ の希釈ガスを1:2の比率で混合し、これを用いてシリコンウェハに全ドーズ量 $3\times 10^{14}/\text{cm}^2$ だけイオンドーピングを行なった。この条件では $\text{PH}_3$ ガスの希釈率を第1の条件と比較して3倍としているので、実効的なP+イオンのドーズ量は第1の条件と略等しく $1\times 10^{12}/\text{cm}^2$ 程度である。他の設定値も第1の条件及び第2の条件と同様である。即ち、高周波電力は13.56KHz、50Wで、加速電圧は10KVである。ガス流量は45sccmである。又、全イオンによる電流密度は $2.8\mu\text{A}/\text{cm}^2\sim 7.6\mu\text{A}/\text{cm}^2$ である。なお、この際のドーピング時間はウェハ1枚当たり36秒かかった。

【0012】最後に、第4の条件として、ガス流量は第3の条件と同一で高周波電力を150Wに増大させ、全ドーズ量 $3\times 10^{14}/\text{cm}^2$ だけシリコンウェハに対してイオンドーピングを行なった。この際のドーピング時間はウェハ1枚当たり19秒であった。ドーピング時間が第3の条件に比較して短いのは高周波電力を増大させた為イオンの量が増えた事に起因する。なお、その他の設定条件は全て第3の条件と同様である。

【0013】この様にして作成したシリコンウェハを前述した様に窒素雰囲気中960℃で30分間アニールし不純物を活性化させた後で、ウェハ面内9点のシート抵抗値を測定した。その結果を図2に示す。図中、横軸のno1~no4は同一条件下で作成された4枚のシリコンウェハのサンプルを表わしている。又、縦軸はシート抵抗値 $\rho_s$ を表わしている。グラフ中●印は各サンプルにおける平均値を示し、△印はウェハ面内9点のシート抵抗値のうちの最大値を表わしている。▽印は最小値である。図2のグラフから明らかな様に、第1の条件ではシート抵抗が数 $\text{k}\Omega/\square\sim$ 数百 $\text{k}\Omega/\square$ と大きくばらついている。これに対し、第2の条件ではばらつきが数十 $\text{k}\Omega/\square\sim 100\text{k}\Omega/\square$ 程度と減少している。さらに第3の条件では、シート抵抗値のばらつきが $10\text{k}\Omega/\square$

～30kΩ/□と一層ばらつきが少なくなり安定する事が分かる。この理由は、第1の条件ではドーズ時間が15秒と短い為、高周波プラズマが発生してから十分に安定した状態になる前にドーピングが終了してしまうのに対し、水素希釈率を上げPH<sub>3</sub>の濃度を下げた条件では実効的に等しいドーズ量を得る為にドーピング時間が延長されている。この為高周波プラズマが安定し、その結果安定したイオンビーム電流を取り出す事ができる。

又、ドーピング時間を延長できる事からドーピング中の基板の回転数も増え、この両者の相乗効果によりシリコンウェハの抵抗値のばらつきが少なくなるものと考えられる。なお、高周波プラズマが発生してから安定するまでの間、シャッターや電磁レンズ等でイオンビームを遮断し、プラズマが安定した後にイオンビームをシリコンウェハ上に導入する方法も考えられる。しかし、この方法でもドーパントガス濃度が高いとドーピング時間が短縮されるので、結果的に基板の回転数が少なくなり、ばらつき低減の効果は少ない。以上の様に、本実験結果から明らかな事は、P+イオンの実効ドーズ量が $1 \times 10^{12} / \text{cm}^2 \sim 1 \times 10^{13} / \text{cm}^2$  程度の低ドーズ条件ではPH<sub>3</sub>/H<sub>2</sub>ガス系においてPH<sub>3</sub>濃度を0.1%未満、望ましくは0.05%以下に調整する事が必要である。これは、PH<sub>3</sub>/Heガス系やB<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>ガス系、B<sub>2</sub>H<sub>6</sub>/Heガス系でも同様である。

【0014】高周波電力を増大させた第4の条件では第3の条件と比較すると抵抗値のばらつきが増えてしまう事が図2から分かる。これは、高周波電力を増大させると発生したプラズマの空間的均一性が出にくい事に起因している。又、ドーピング時間が短くなる為基板回転数が少なくなる事にも起因している。従って、LDD領域の形成や閥電圧の制御等比較的低濃度のイオンドーピングを行なう場合には、プラズマの高周波電力は150W未満に設定する事が必要であり、特に50W以下が望ましい。なお、この高周波電力を単位面積当たり換算すると、83mW/cm<sup>2</sup>未満に設定する事が必要で、特に28mW/cm<sup>2</sup>以下が望ましい。又、イオンビーム電流を下げる事によってドーズ時間を長くできる。これにより、高周波電力を下げる事と同様の効果がある。電流密度を1μA/cm<sup>2</sup>以下に設定すれば、ドーズ時間を3倍以上に延ばせるのでばらつき低減に効果が大い。

【0015】次に、図3を参照して本発明にかかる薄膜半導体装置製造方法の具体例を詳細に説明する。この具体例では図1に示したイオンドーピング装置を用いて絶縁基板上にNチャネル型の薄膜トランジスタを集積形成している。先ず(a)に示す様に、ガラス板等からなる絶縁基板300の上にバッファ層301としてSiO<sub>2</sub>膜やSiN<sub>x</sub>膜等を約100nm～200nmの厚みで堆積する。続いて非晶質シリコン等からなる半導体薄膜302を約30nm～80nmの膜厚でプラズマCVD法又はLP CVD法等により成膜する。なお、バッファ層301は

必ずしも必要ではない。ここで非晶質シリコンの成膜にプラズマCVD法を用いた場合は、膜中の水素を脱離させる為に窒素雰囲気中で400℃～450℃1時間程度のアニールを行なう。この脱水素化アニールはRTP等のランプアニールを用いても良い。次いで、レーザアニール又は固相成長等の手段を用いて非晶質シリコンを多結晶シリコンに転換する。多結晶シリコンに転換された半導体薄膜302をエッチングでアイランド状にパタニングし、この上にプラズマCVD法、常圧CVD法、減圧CVD法、ECR-CVD法、スパッタリング法等でSiO<sub>2</sub>を50～100nmの厚みで成膜し、ゲート絶縁膜303とする。ここで必要ならばイオンドーピング装置のガス系を0.1%未満のB<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>希釈ガスに切り換え、薄膜トランジスタのV<sub>th</sub>を制御する目的でイオンドーピングを行なう。この時の全ドーズ量は $1 \times 10^{12} / \text{cm}^2 \sim 2 \times 10^{14} / \text{cm}^2$ 程度に設定する。従って、B+イオンのドーズ量は $2 \times 10^{12} / \text{cm}^2$ 以下である。実際、V<sub>th</sub>を制御する為には $1 \times 10^{13} / \text{cm}^2$ 以下の低ドーズ量で精度良くB+のイオンドーピングを制御する事が必要である。なお、このV<sub>th</sub>を制御するイオンドーピング工程はゲート絶縁膜303の成膜前に行なっても良い。場合によってはこのイオンドーピング工程は省略できる。

【0016】次に(b)に示す様に、ゲート絶縁膜303の上に、Al、Ti、Mo、W、Ta、Doped poly-Si等あるいはこれらの合金を200nm～800nmの厚みで成膜し、所定の形状にパタニングしてゲート電極304に加工する。次いで、ガス系を0.1%未満のPH<sub>3</sub>/H<sub>2</sub>ガスに切り換え、LDD構造を作成する為のLDDイオンドーピング305を絶縁基板300の全面に対して行なう。水素イオンを含む全ドーズ量は $6 \times 10^{12} / \text{cm}^2 \sim 3 \times 10^{14} / \text{cm}^2$ 程度である。従って、P+イオンのドーズ量は $3 \times 10^{12} / \text{cm}^2$ 以下となる。一般に、LDD領域を形成する為には不純物イオンを $1 \times 10^{13} / \text{cm}^2$ 以下の低ドーズで精度良くイオン注入しなければならない。

【0017】続いて(c)に示す様に、Nチャネルのレジストパタン306を形成し、再びガス系を切り換え5%PH<sub>3</sub>/H<sub>2</sub>ガスでNチャネルのドーピング307を $1 \times 10^{15} / \text{cm}^2$ 程度のドーズ量で実施する。これにより、Nチャネルのソース/ドレイン領域308が形成される。この結果、ゲート電極304直下のチャネル領域とソース/ドレイン領域308との間に低不純物濃度のLDD領域が残される事になる。なお、CMOS回路を形成する場合、図示しないがPチャネルのレジストパタンを形成し、5%のB<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>ガス系に切り換え、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ 程度でイオンドーピングすれば良い。これにより、Pチャネル型の薄膜トランジスタが形成される。

【0018】最後に(d)に示す様に、PSG膜309

を約600nmの厚みで成膜し、300℃～400℃程度でアニールしてドーパントを活性化させる。イオンドーピングを行なうと多結晶シリコン中に多量の水素を導入する事ができる為、これらの低温活性化が可能になる。又低温活性化アニールの代わりにレーザ活性化アニールを行なっても良い。続いてコンタクトホールをPSG膜309に開け、Al・Si等の金属膜をスパッタリングし、所定の形状にパタニングして配線電極310に加工する。この上に、SiO<sub>2</sub>膜311及びSiN<sub>x</sub>膜312を200nm～400nmの厚みで連続的に成膜し、水素化アニールを窒素雰囲気中350℃で1時間実施して薄膜トランジスタの完成となる。なお、この様に製造された薄膜半導体装置をアクティブマトリクス型表示装置の駆動基板として用いる場合、SiN<sub>x</sub>膜312の上に画素電極を形成し、一方の配線電極310にコンタクトホールを介して接続させる。

【0019】図4は、本発明にかかる薄膜半導体装置の製造方法の他の具体例を示す工程図である。先ず(a)に示す様に、ガラス等からなる絶縁基板400の上に、SiO<sub>2</sub>膜やSiN<sub>x</sub>膜等を約100nm～200nmの厚みで堆積しバッファ層401とする。次いで、Al, Ta, Mo, W, Cr又はこれらの合金を100nm～200nmの厚みで成膜し、所定の形状にパタニングしてゲート電極402に加工する。特に、Al, Ta, Mo/Ta等を用いた場合は、その表面を陽極酸化する事でゲート絶縁膜403を形成できる。次いで、プラズマCVD法、常圧CVD法、減圧CVD法等でSiN<sub>x</sub>膜を50nmの厚みで堆積し、さらに連続的にSiO<sub>2</sub>膜を約200nmの厚みで堆積し、ゲート絶縁膜404を形成する。さらにこの上に、連続的に非晶質シリコンを約30nm～80nmの厚みで成膜し半導体薄膜405を設ける。ここで、プラズマCVD法を用いた場合は膜中の水素を脱離させる為に窒素雰囲気中で400℃～450℃1時間程度のアニールを行なう。この脱水素化アニールはRTP等のランプアニールを用いても良い。必要ならばここでイオンドーピング装置のガス系統を0.1%未満のB<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>希釈ガスに切り換え、薄膜トランジスタのV<sub>th</sub>を制御する目的でイオンドーピングを行なう。この場合の全ドーズ量は $1 \times 10^{12}/\text{cm}^2 \sim 3 \times 10^{14}/\text{cm}^2$ 程度に設定される。この段階でレーザアニール又は固相成長法を用いて非晶質シリコンを結晶化させ、さらにパタニングして半導体薄膜405を薄膜トランジスタの素子領域とする。

【0020】次に(b)に示す様に、SiO<sub>2</sub>膜を約100nm～300nmの厚みで堆積し、ゲート電極402をマスクとしたセルフアライメントの裏面露光を行ない、上述したSiO<sub>2</sub>膜をパタニングしてエッチングストップ406に加工する。ここでガス系を0.1%未満のPH<sub>3</sub>/H<sub>2</sub>ガスに切り換え、LDD構造を作成する為のLDDイオンドーピング407を絶縁基板400の全面

に対して行なう。全ドーズ量は $4 \times 10^{12}/\text{cm}^2 \sim 3 \times 10^{14}/\text{cm}^2$ である。

【0021】(c)に示す様に、LDDイオンドーピング後、Nチャネル用のレジストパタン409を作成し、再びガス系を切り換え、5%PH<sub>3</sub>/H<sub>2</sub>ガスでNチャネルのドーピング410を実行する。このNチャネルドーピングは例えば $1 \times 10^{16}/\text{cm}^2$ 程度のドーズ量で行なう。これにより、半導体薄膜405中に高不純物濃度のソース/ドレイン領域408が形成される。又、エッチングストップ406の直下に位置するチャネル領域とソース/ドレイン領域408との間には低不純物濃度のLDD領域が残される。なお、CMOSプロセスの場合は、図に示さないがPチャネル用のレジストパタンを形成し、5%B<sub>2</sub>H<sub>6</sub>/H<sub>2</sub>のガスに切り換え、全ドーズ量が $1 \times 10^{15}/\text{cm}^2$ 程度でイオンドーピングを行なう。その後、300℃～400℃程度でアニールし、ドーパントを活性化させる。活性化アニールをレーザアニールでも行なえる事は先の実施例と同様である。

【0022】最後に(d)に示す様に、SiO<sub>2</sub>膜412を200nm程度の厚みで成膜し、コンタクトホールを開いた後、Mo, Al等の金属膜を200nm～400nmの厚みでスパッタリングし、これをパタニングして配線電極411に加工する。この上に、SiN<sub>x</sub>膜413を200nm～400nmの厚みで成膜し、窒素雰囲気中350℃で1時間程度水素化アニールを施して薄膜トランジスタの完成となる。

【0023】図4に示した製造方法で作成した薄膜半導体装置につき、これに含まれる64個のLDD構造薄膜トランジスタのオン電流を測定した。その結果を図5に示す。薄膜トランジスタの大きさはチャネル幅が10μmでありチャネル長も10μmである。オン電流測定時のドレイン電圧V<sub>ds</sub>は15Vに設定した。図5のグラフから明らかな様に、オン電流は $1 \times 10^{-5}$ A以上に集中している。

【0024】同じく図4に示した製造方法により作成された半導体薄膜に含まれるLDD構造薄膜トランジスタを128個抜き取り、そのリーク電流分布を測定した。その結果を図6に示す。なお、リーク電流測定時のゲート電圧V<sub>gs</sub>は6Vに設定し、ドレイン電圧V<sub>ds</sub>は10Vに設定した。図6のグラフから明らかな様に、リーク電流は $1 \times 10^{-12}$ A以下に集中している。以上の事から、オン/オフ比が極めて高い薄膜トランジスタが本発明の製造方法によりばらつき少なく得られる事が分かる。

【0025】図7は、本発明に従って製造された薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型表示装置の一例を示す模式的な斜視図である。この表示装置は駆動基板101と対向基板102との間に液晶等からなる電気光学物質103を保持した構造となっている。なお、対向基板102の内面には図示



しないが対向電極が形成されている。一方、駆動基板101の内表面には画素アレイ部104と周辺回路部とが集積形成されている。周辺回路部は垂直走査回路105と水平走査回路106とに分かれている。又、駆動基板101の上端側には外部接続用の端子電極107も形成されている。各端子電極107は配線108を介して垂直走査回路105及び水平走査回路106に接続している。画素アレイ部104には互いに交差するゲート配線109と信号配線110が形成されている。ゲート配線109は垂直走査回路105に接続し、信号配線110は水平走査回路106に接続している。両配線109、110の交差部には画素電極111とこれを駆動するスイッチング素子とが形成されている。このスイッチング素子は本発明に従って作成されたLDD構造の薄膜トランジスタ112からなる。

【0026】アクティブマトリクス型表示装置のスイッチング素子として用いられる多結晶シリコン薄膜トランジスタ112のリーク電流を減少させる方法の1つに、LDD領域を形成する方法が良く知られている。LDD領域を効果的に機能させる為にはLDD領域の結晶性が良く欠陥の少ない多結晶シリコン薄膜を成膜する必要がある。LDD領域の不純物濃度は例えば膜厚が50nm程度の場合、不純物を $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{13}/\text{cm}^2$ 程度のドーズ量で打ち込む必要がある。例えば、Journal of Applied Physics Vol. 46, No. 12, p5247 (1975)に記載されている様に、膜中の欠陥密度が大きいとLDD領域中のキャリアは全て欠陥準位にトラップされ、結晶粒界のエネルギー障壁が高くなる為LDD領域の抵抗が下がらない。

【0027】一方、本発明で採用されているイオンドーピング装置は質量分離を行わずに不純物イオンを半導体薄膜に打ち込む為、 $\text{PH}_3/\text{H}_2$ 、 $\text{B}_2\text{H}_6/\text{H}_2$ 等の希釈ガスを原料ガスとして用いる時は、水素イオンも同時に打ち込まれる。この水素イオンの打ち込み効果により水素パッシベーションが行なわれ、多結晶シリコン中の欠陥を大幅に下げられる。この効果によりLDD抵抗を下げ、LDD領域を効果的に機能させる事ができる様になる。このパッシベーション効果は水素のみに限られない。例えば原料ガスに $\text{BF}_2$ 、 $\text{AsF}_5$ 、 $\text{PH}_3/\text{F}_2$ 等を用いれば、弗素イオンF+がB+イオンやP+イオン等と同時に打ち込まれる。弗素イオンは水素イオンと同様に欠陥準位をターミネイトする効果がある事が知られているので、この方法でもLDDを効果的に形成

できる。又、活性層(チャネル領域)に対してもパッシベーション効果が同様に得られる。従来は活性層の水素化を行なう事によって薄膜トランジスタの性能向上を図っていたが、イオンドーピング工程による水素化で代用させる事が可能になる。

#### 【0028】

【発明の効果】本発明により、従来のイオンドーピング装置では制御困難であった低ドーズ量のコントロールが容易となり、 $30\text{cm} \times 30\text{cm}$ 角以上の大面積基板に対して $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{14}/\text{cm}^2$ 程度の全ドーズ量をばらつき少なく正確に打ち込む事が可能になった。従って、大面積の絶縁基板上に形成した多結晶シリコンの薄膜トランジスタに低温プロセスでLDD構造を形成する事が可能になり、大面積の絶縁基板上に高性能の多結晶シリコン薄膜トランジスタを集積形成する事ができるようになった。従って、本発明を利用する事により大面積の絶縁基板上に周辺回路一体型の高解像度液晶表示装置を組み立てる事が可能になる。この様に本発明の効果は絶大なものがある。

#### 【図面の簡単な説明】

【図1】本発明にかかる薄膜半導体装置の製造方法に用いられるイオンドーピング装置の構造図である。

【図2】本発明にかかるイオンドーピング条件を示すグラフである。

【図3】本発明にかかる薄膜半導体装置の製造方法の第1実施例を示す工程図である。

【図4】本発明にかかる薄膜半導体装置の製造方法の第2実施例を示す工程図である。

【図5】本発明に従って製造された薄膜半導体装置に含まれる薄膜トランジスタのオン電流分布を示すグラフである。

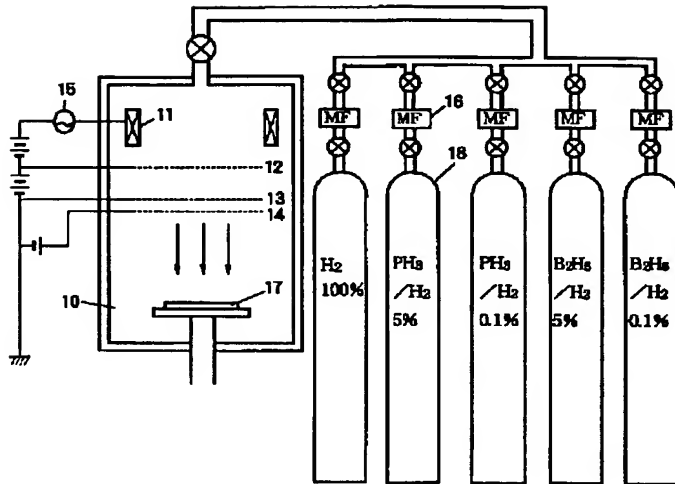
【図6】同じく薄膜トランジスタのリーク電流分布を示すグラフである。

【図7】本発明に従って製造された薄膜半導体装置を駆動基板として用いたアクティブマトリクス型表示装置の一例を示す模式的な斜視図である。

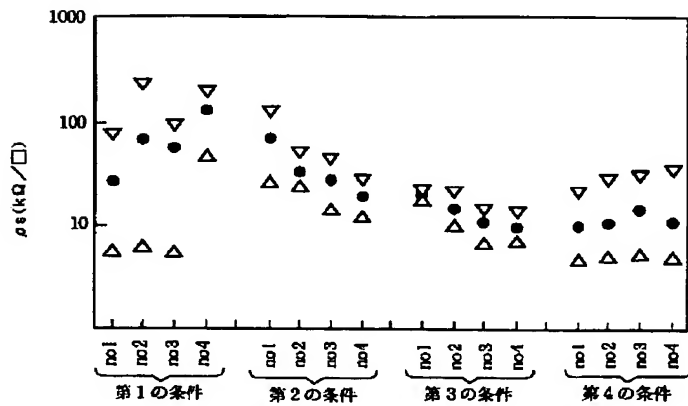
#### 【符号の説明】

11…コイル電極、12…イオン引出電極、13…加速電極、14…減速電極、15…高周波電源、16…マスフローコントローラ、17…絶縁基板、18…ガスシリンダ、300…絶縁基板、302…半導体薄膜、303…ゲート絶縁膜、304…ゲート電極、305…LDDイオンドーピング、307…Nチャネルイオンドーピング、308…ソース/ドレイン領域

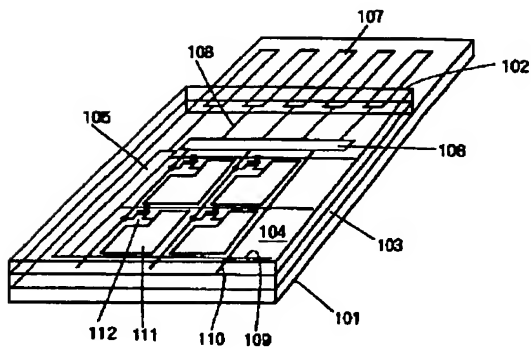
【図1】



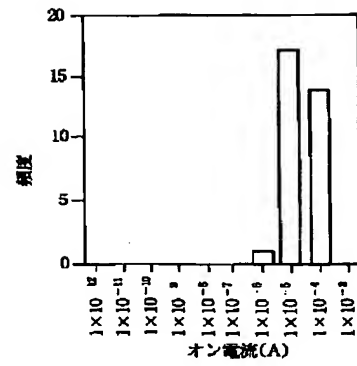
【図2】



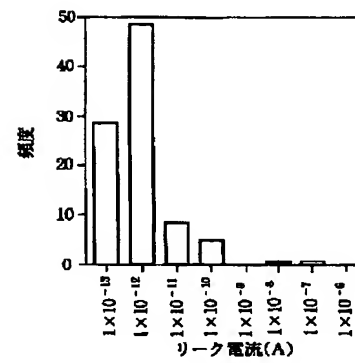
【図7】



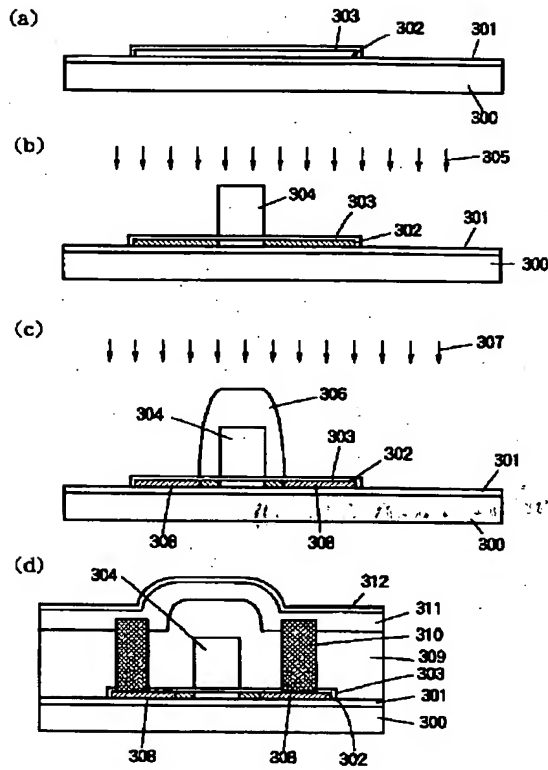
【図5】



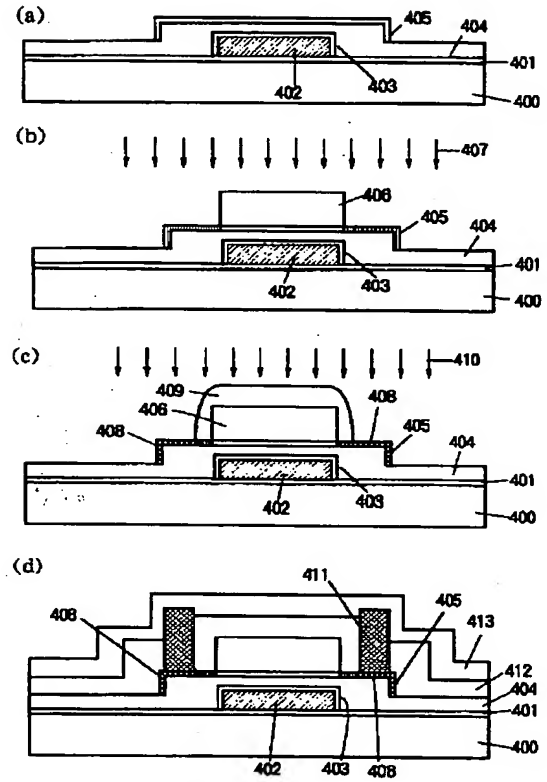
【図6】



【図3】



【図4】



**THIS PAGE BLANK (USPTO)**